

(11)Publication number : 05-210986
 (43)Date of publication of application : 20.08.1993

(51)Int.Cl.
 G11C 11/413
 H01L 27/04
 // H03F 1/30

(21)Application number : 04-185875 (71)Applicant : SONY CORP
 (22)Date of filing : 18.06.1992 (72)Inventor : MUKAI MIKIO

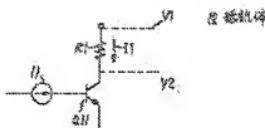
(30)Priority
 Priority number : 03311740 Priority date : 29.10.1991 Priority country : JP

(54) RESISTOR

(57)Abstract:

PURPOSE: To form a resistor with small temperature dependency and with high power remarkably easily in an integrated circuit by connecting a different kind element having opposite temperature dependency each other in series or in parallel.

CONSTITUTION: The resistor 10 is constituted by connecting a semiconductor layer resistor R11 consisting of polysilicon resistor to the collector of a bipolar NPN transistor Q11 whose base is connected to constant current source 11 and constant current-driven. Thus, the temperature dependency of a potential difference ΔV generating between both ends of the semiconductor layer resistor R11 is set to roughly 0 or an optional value.



LEGAL STATUS

- [Date of request for examination] 04.06.1999
- [Date of sending the examiner's decision of rejection] 19.07.2002
- [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
- [Date of final disposal for application]
- [Patent number]
- [Date of registration]
- [Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and INPI are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The resistor characterized by coming to carry out series connection of the active element by which diode connection was made, and the passive element which has reverse temperature dependence to the temperature dependence of the above-mentioned active element.

[Claim 2] The resistor characterized by coming to carry out series connection of the semiconductor layer resistance which consists of a bipolar transistor which has a positive temperature coefficient, and a semi-conductor layer which is formed through an insulating layer on a semi-conductor substrate, and has a negative temperature coefficient while diode connection is made.

[Claim 3] The resistor characterized by carrying out series connection of the MOS transistor which has a negative temperature coefficient, and the diffused resistor which consists of a diffusion layer alternatively formed in the surface section of a semi-conductor substrate, and has a positive temperature coefficient while diode connection is made.

[Claim 4] The resistor characterized by coming to carry out series connection of the 1st active element, the 2nd active element which becomes with the 1st active element of the above, and different-species structure while having reverse temperature dependence to the temperature dependence of the 1st active element of the above, and the passive element.

[Claim 5] The resistor characterized by coming to carry out series connection of the bipolar transistor which has a positive temperature coefficient, the MOS transistor which has a negative temperature coefficient while diode connection is made, and the passive element which has a predetermined temperature coefficient.

[Claim 6] The resistor characterized by coming to carry out parallel connection of the active element by which diode connection was made, and the passive element which has reverse temperature dependence to the temperature dependence of the above-mentioned active element.

[Claim 7] The resistor characterized by coming to carry out parallel connection of the semiconductor layer resistance which serves as an MOS transistor which has a negative temperature coefficient from the semi-conductor layer which is formed through an insulating layer on a semi-conductor substrate, and has a negative temperature coefficient while diode connection is made.

[Translation done.]

* NOTICES *

JPO and INPI are not responsible for any

damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Table of Contents] This invention is explained in order of the following.

The technique of the Field of the Invention former (drawing 9 – drawing 11)

Technical problem The means for solving a technical problem which invention tends to solve (drawing 1 – drawing 8)

Operation example (drawing 1 – drawing 8)

(1) The 1st example (drawing 1)

(2) The 2nd example (drawing 2)

(3) The 3rd example (drawing 3)

(4) Other examples (drawing 4 – drawing 8)

Effect of the invention [0002]

[Industrial Application] About a resistor, especially this invention is formed in an integrated circuit, is applied to the semi-conductor resistance as which high power resistance is required, and is suitable.

[0003]

[Description of the Prior Art] Conventionally, many of electronic circuitries built in in LSI need a resistor, and this resistor is made as [constitute / by a diffused resistor or semi-conductor layer resistance / generally / therefore]. A diffused resistor consists of a diffusion layer alternatively formed in the surface section of a semi-conductor substrate here, and it is made as [consist / of semi-conductor layers, such as polish recons formed through the insulating layer on the semi-conductor substrate, / semi-conductor layer resistance].

[0004] As such a resistor has the compound resistance which comes to combine a diffused resistor R1 and the semi-conductor layer resistance R2, for example, it is shown in drawing 9 , it is made as [form / by carrying out series connection of the diffused resistor which has a positive temperature coefficient so that the temperature characteristic may be negated as a whole, and the semi-conductor layer resistance which has a negative temperature coefficient]. Moreover, as shown in drawing 10 and drawing 11 , it is formed by connecting to a serial the n channel thin film MOS (Metal Oxide Semiconductor) transistor NTM1 and P channel thin film transistor PTM2 as an active element from which the temperature characteristic becomes reverse mutually.

[0005]

[Problem(s) to be Solved by the Invention] by the way, the case where the high resistance more than several mega [omega] may be required as a resistor for loads, for example in the case of SRAM (Static Random Access Memory), and they are other integrated circuits — several — the high resistance more than 100K [omega] may be required Moreover, in order to need that temperature dependence is small as much as possible in the case of the resistor formed in LSI and to improve productivity, reduction of a routing counter and dispersion of a property become very important [a small thing].

[0006] However, for a diffused resistor R1 and the semi-conductor layer resistance R2, the problem that occupancy area becomes large while having usually big respectively forward temperature dependence and a forward negative temperature dependency is *****. Moreover, the problem that control becomes [dispersion in the part property] a routing counter increasing since it consists of two sorts of resistors, and being easy to be generated although temperature

dependence can be made small since the diffused resistor R1 and the polish recon resistance R2 from which temperature dependence becomes reverse mutually constitute compound resistance in constituting a compound resistor (drawing 9) combining a diffused resistor R1 and the semi-conductor layer resistance R2 difficult is *****. The problem that circuit area furthermore becomes large is also *****.

[0007] The problem that control is difficult since a transistor right hand side consists of polish recons in the case of the compound resistor (drawing 9 and drawing 10) which furthermore comes to combine n channel thin film MOS transistor NTM1 and P channel thin film MOS transistor NTM2 is *****.

[0008] This invention tends to propose the resistor which was made in consideration of the above point, was excellent in the temperature dependence property, and was excellent in accumulation nature.

[0009]

[Means for Solving the Problem] In order to solve this technical problem, it is made to carry out series connection of the active element Q11 by which diode connection was made in the 1st invention, and the passive element R1 which has reverse temperature dependence to the temperature dependence of an active element.

[0010] Moreover, in the 2nd invention, while diode connection is made, it is formed through an insulating layer on the bipolar transistor Q11 which has a positive temperature coefficient, and a semi-conductor substrate, and is made to carry out series connection of the semi-conductor layer resistance R1 which consists of a semi-conductor layer which has a negative temperature coefficient.

[0011] Furthermore, while diode connection is made in the 3rd invention, it consists of MOS transistor NM1 which has a negative temperature coefficient, and a diffusion layer alternatively formed in the surface section of a semi-conductor substrate, and is made to carry out series connection of the diffused resistor R51 which has a positive temperature coefficient.

[0012] Furthermore, while having reverse temperature dependence in the 4th invention to the temperature dependence of the 1st active element Q21 and the 1st active element Q21, it is made to carry out series connection of the 1st active element Q21, the 2nd active element NM1 and NM2 which becomes with different-species structure, and the passive element R21.

[0013] Furthermore, it is made to carry out series connection of the bipolar transistor Q21 which has a positive temperature coefficient in the 5th invention, MOS transistors NM1 and NM2 which have a negative temperature coefficient while diode connection is made, and the passive element R21 which has a predetermined temperature coefficient.

[0014] Furthermore, it is made to carry out parallel connection of the active element NM1 by which diode connection was made in the 6th invention, and the passive element R31 which has reverse temperature dependence to the temperature dependence of an active element NM1.

[0015] Furthermore, while diode connection is made in the 7th invention, it is formed through an insulating layer with MOS transistor NM1 which has a negative temperature coefficient on a semi-conductor substrate, and is made to carry out parallel connection of the semi-conductor layer resistance R31 which consists of a semi-conductor layer which has a negative temperature coefficient.

[0016]

[Function] In the 1st – the 3rd invention, temperature dependence can form easily much more the resistor which can set resistance as a desired value small in an integrated circuit by carrying out series connection combining the active elements Q11 and NM1 and passive elements R1 and R51 which have reverse temperature dependence, and negating both temperature dependence.

[0017] Moreover, in the 4th and 5th invention, temperature dependence can form easily much more the resistor which can set resistance as a desired value small in an integrated circuit by carrying out series connection combining the 1st and 2nd active elements Q21 of a different kind, and NM1, NM2 and the passive element R21 which have the reverse temperature characteristic mutually, and negating both temperature dependence.

[0018] Furthermore, temperature dependence can form easily much more the resistor which can set resistance as a desired value small in an integrated circuit by carrying out parallel connection

of the active element NM1 and passive element R31 which have the reverse temperature characteristic mutually in the 6th and 7th invention, and negating both temperature dependence. [0019]

[Example] About a drawing, one example of this invention is explained in full detail below.

[0020] (1) In the 1st example drawing 1, 10 shows a resistor among the electronic circuitries formed in the integrated circuit, and combination constitutes the passive element and the active element. That is, the resistor 10 is made as [constitute / by connecting a constant current source 11 to the base, and connecting the semi-conductor layer resistance R11 which becomes by polish recon resistance to the collector of bipolar NPN transistor Q11 by which a constant current drive is carried out]. It is made as [set / as about 0 or any value / it / the temperature dependence of potential difference deltaV which this produces to the both ends of the semi-conductor layer resistance R11 concerned].

[0021] If input-side potential of the semi-conductor layer resistance R11 is set to V1 and it is the connection middle point potential V2 of the semi-conductor layer resistance R11 and a transistor Q11, potential difference deltaV (=V1-V2) produced to the both ends of the semi-conductor layer resistance R11 is the resistance RP of the semi-conductor layer resistance R10. And the current value IP As a product, it is a degree type [several 1].

$$\Delta V = R_p \cdot I_p \quad \dots \dots (1)$$

** --- it is given like.

[0022] In order to search for the temperature dependence of the potential difference here, when (1) type is differentiated, it is a degree type [several 2].

$$\frac{d(\Delta V)}{dT} = \frac{d(R_p \cdot I_p)}{dT}$$

$$= \frac{dR_p}{dT} \cdot I_p + R_p \cdot \frac{dI_p}{dT} \quad \dots \dots (2)$$

It becomes. The differential coefficient dRP of the semi-conductor layer resistance R11 given by the (2) type 1st term at this time / dT is the current IP which flows to the semi-conductor layer resistance R10 which can consider as negative and is given by the (2) type 2nd term by the temperature dependence of the collector current of a bipolar NPN transistor. Temperature dependence dIP / dT can be made forward.

[0023] Thereby, it is the resistance RP of the semi-conductor layer resistance R11. And the current value IP If it is set as a predetermined value, (2) type right-hand side can be set to 0, and potential difference deltaV produced to the both ends of the semi-conductor layer resistance R11 can be set as about 0 or any value.

[0024] The semi-conductor layer resistance R11 which is a passive element according to the above configuration, and bipolar NPN transistor Q11 which is an active voxel child are connected, and it is the resistance RP of the semi-conductor layer resistance R11. And collector current IP By controlling, temperature dependence of output voltage can be made small, without making a routing counter increase. Moreover, the middle value of both the configuration component is made with a temperature coefficient as a temperature coefficient, and the temperature coefficient of the output potential produced in resistance can be set as any value within the limits of the temperature coefficient of resistance and a transistor.

[0025] (2) in the 2nd example drawing 2, 20 shows the compound resistor of the electronic circuitry formed in the integrated circuit, and is constituted by the combination of a passive element and an active element of a different kind. That is, the compound resistor 20 is constituted by connecting the resistance R21 which becomes the collector of bipolar NPN transistor Q21 by which a constant current source 11 is connected to the base, and a constant current drive is carried out by polish recon resistance through the N-channel metal oxide semiconductor transistors NM1 and NM2 by which diode connection was made, respectively two

steps.

[0026] The collector of bipolar NPN transistor Q21 is connected to the source 23 of the N-channel metal oxide semiconductor transistor NM1 here, and the gate 25 and the drain 24 of a transistor NM1 are made as [constitute / connect mutually and / diode connection].

[0027] The drain 24 of a transistor NM1 is made as [connect / with the source 26 of the N-channel metal oxide semiconductor transistor NM2], and the gate 28 and the drain 27 of a transistor NM2 are made as [make / like a transistor NM1 / diode connection].

[0028] It is made as [connect / to the drain 27 of the N-channel metal oxide semiconductor transistor NM2 concerned / resistance R21], and is made as [negate / the temperature dependence of the output voltage produced in a bipolar transistor Q21 and MOS transistors NM1 and NM2].

[0029] The temperature dependence property of the current of the MOS transistor in the saturation region where gate voltage is sufficiently large is a degree type [several 3] here.

$$(\frac{d I_D}{d T}) / I_D = -1/T \quad \cdots \cdots (3)$$

Temperature T by being come out and given It will be set to -3300 [PPM] if the temperature dependence in the case of being 300 [K] is searched for.

[0030] In the case of this example, by connecting two N-channel metal oxide semiconductor transistors NM1 and NM2 to a serial, the temperature dependence in the both ends of the transistors NM1 and NM2 concerned becomes twice, and is [about]. -It is set to 6600 [PPM]. On the other hand, by carrying out the constant current drive of the base current, the temperature dependence of the collector current of bipolar NPN transistor Q21 becomes equal to the temperature dependence of current gain, and becomes about +6000 - 7000[PPM].

[0031] Thus, when, as for the temperature dependence between the N-channel metal oxide semiconductor transistors NM1 and NM2 and bipolar NPN transistor Q21, the temperature dependence of both the transistors NM1, NM2, and Q21 becomes reverse mutually, temperature dependence is negated mutually and temperature dependence becomes small.

[0032] When the temperature dependence of the part which consists of a bipolar transistor Q21 and two MOS transistors NM1 and NM2 here has ***** intermediary forward temperature dependence, it has the magnitude same as resistance R21 as the temperature dependence concerned, and the temperature dependence of a compound resistor can be abolished by connecting the polish recon resistance with a negative temperature dependency.

[0033] Moreover, when the temperature dependence of the part which consists of a bipolar transistor Q21 and two MOS transistors NM1 and NM2 has a ***** intermediary negative temperature dependency, it has the magnitude same as resistance R21 as the temperature dependence concerned, and the temperature dependence of a compound resistor can be abolished by connecting a diffused resistor with forward temperature dependence. Furthermore, the temperature coefficient of the output resistance of a resistor 20 can be set as any value by adjustable within the limits of transistors Q21, NM1, and NM2 with the combination of the temperature coefficient of transistors Q21, NM1, and NM2 and resistance R21 at this time.

[0034] According to the above configuration, by constituting a compound resistor combining the active elements Q21, NM1, and NM2 and resistance R21 from which temperature dependence becomes reverse mutually, temperature dependence is small as output resistance, and the resistor which has the temperature dependence of arbitration as an electronic-circuitry component in the integrated circuit with which high power is demanded can be formed easily much more.

[0035] (3) In the 3rd example drawing 3 , 30 shows a compound resistor among the electronic circuitries formed in the integrated circuit, and is constituted by the parallel connection of the passive element from which a temperature dependence property differs, and an active element.

[0036] That is, the compound resistor 30 has a negative temperature coefficient about resistance, has a negative temperature coefficient about the semi-conductor layer resistance R31 and the drain current which become by polish recon, and, therefore, is constituted by parallel connection with the N-channel metal oxide semiconductor transistor NM1 by which diode connection was made.

[0037] At this time, since the resistance of the compound resistor 30 carries out parallel connection of the semi-conductor layer resistance R31 and the N-channel metal oxide semiconductor transistor NM1, respectively, it can take a small value to the resistance of each component.

[0038] here --- resistance RP of the polish recon resistance R31 **** --- temperature T --- room temperature T0 it is --- if the polish recon resistance at the time is set to RP0 and a polish recon temperature resistance coefficient is set to (-alphaP) --- degree type [several 4]
 $R_P = R_{P0} \cdot (1 - \alpha_P \cdot (T - T_0)) \quad \dots \dots (4)$

It is alike, and there is usually negative relation so that it may be shown.

[0039] Current IP which flows to the polish recon resistance R31 at this time In a temperature dependence property, it is a degree type [several 5].

$$\frac{d I_P}{d T} = - \frac{d}{d T} \left[\frac{V}{R_P} \right]$$

$$= - \frac{V}{R_P^2} \cdot \frac{d R_P}{d T}$$

$$= - \frac{V}{R_P^2} \cdot (R_{P0} \cdot (-\alpha_P))$$

$$= - I_P \cdot \frac{R_{P0} \cdot (-\alpha_P)}{R_P}$$

$$\frac{1}{I_P} \cdot \frac{d I_P}{d T} \stackrel{?}{=} \alpha_P \quad \dots \dots (5)$$

Current ID which ***** is materialized and flows to the N-channel metal oxide semiconductor transistor NM1 In a temperature dependence property, it is a degree type [several 6].

$$\frac{1}{I_D} \cdot \frac{d I_D}{d T} \stackrel{?}{=} - \frac{1}{T} \quad \dots \dots (6)$$

***** is materialized.

[0040] For this reason, (5) types and (6) types are used for the temperature dependence property of Current I (= IP+ID) of flowing to the compound resistor 30, and it is a degree type [several 7].

$$\frac{d I}{d T} = \frac{d}{d T} (I_P + I_D)$$

$$= \frac{d I_P}{d T} + \frac{d I_D}{d T}$$

$$= \alpha_P \cdot I_P - \frac{1}{T} \cdot I_D \quad \dots \dots (7)$$

***** is materialized.

[0041] It is the drain current ID about the value of the electrical potential difference V impressed to the both ends of the compound resistor 30 here. Current IP which flows to the polish recon resistance R31 Equal value IR When it sets up so that it may become, the temperature dependence property of Current I of flowing to the compound resistor 30 given by (7) formulas is a degree type [several 8].

$$\frac{d I}{d T} = I \times (\alpha_p - \frac{1}{T}) \quad \dots \dots (8)$$

** -- it can ask like.

[0042] At this time, it is temperature T. If 300 [K], since it is set to 3300 [PPM], the value of 1/T is magnitude alphaP of the temperature coefficient (- alphaP) of the polish recon resistance R31. When it is set as the almost same magnitude as 3300 [PPM], the temperature dependence property of the compound resistor 30 is a degree type [several 9].

$$\frac{d I}{d T} \approx 0 \quad \dots \dots (9)$$

It is alike, it is mutually denied so that it may be shown, and it can lose mostly.

[0043] According to the above configuration, by carrying out parallel connection of the active element NM1 by which diode connection was made with the passive element R31 from which a temperature dependence property becomes reverse mutually, and constituting the compound resistor 30, the temperature dependence property of a combined-resistance value can make it small, and a combined-resistance value can be made small to each resistance of a passive element R31 and an active element NM1 which is a component.

[0044] (4) In other example, in addition 1st above-mentioned example, although the case where bipolar NPN transistor Q11 was connected to the semi-conductor layer resistance R11 at a serial was described, this invention is replaced with this, and as shown in drawing 4, even if it connects the collector of a bipolar lateral-PNP transistor or vertical PNP transistor Q41 to the semi-conductor layer resistance R41 at a serial, the same effectiveness as an above-mentioned example can be acquired.

[0045] Moreover, although the case where bipolar NPN transistor Q11 was connected to the semi-conductor layer resistance R11 at a serial was described in the 1st above-mentioned example As this invention is replaced with this and shown in drawing 5, diode connection is made by connecting the gate and a drain. Even if it makes it connect with the diffused resistor R51 which consists of a diffusion layer formed in the surface section of a semi-conductor substrate in the N-channel metal oxide semiconductor transistor NM1 which has a negative temperature coefficient, and has a positive temperature coefficient with a drain, the same effectiveness as the case of an above-mentioned example can be acquired.

[0046] Although the case where bipolar NPN transistor Q11 was connected to the semi-conductor layer resistance R11 at a serial was described in the 1st further above-mentioned example As this invention is replaced with this and shown in drawing 6, diode connection is made by connecting the gate and a drain. You may make it connect with the diffused resistor Q61 which consists of a diffusion layer formed in the surface section of a semi-conductor substrate in P channel MOS transistor PM1 which has a negative temperature coefficient, and has a positive temperature coefficient with a drain.

[0047] Although the case where two N-channel metal oxide semiconductor transistors NM1 and NM2 and a resistor R21 were connected to bipolar NPN transistor Q21 as a compound resistor was described in the 2nd further above-mentioned example Even if this invention connects two P channel MOS transistors PM1 and PM2 and a resistor R71 to the transistor Q71 of not only this but a lateral or a vertical mold, it can acquire the same effectiveness as ***.

[0048] Namely, as shown in drawing 7, two steps of P channel MOS transistors PM1 and PM2 which connect the gate and the drain section and form diode are connected. While connecting a resistor R71 to the drain of P channel MOS transistor PM1 concerned By connecting to the source of P channel MOS transistor PM2 the collector of bipolar PNP ton RAJISUTA Q71 by

which a constant current source 11 is connected to the base, and a constant current drive is carried out, the compound resistor which can set the temperature dependence of output resistance as any value can be constituted.

[0049] In the 1st and 2nd further above-mentioned examples, although the case where two MOS transistors PM1 and PM2 were connected to a bipolar transistor was described, this invention may connect not only this but both transistors in various combination.

[0050] Although the case where set the temperature coefficient (-alphaP) of the polish recon resistance R31 as about 3300 [PPM], and the temperature dependence property of the compound resistor 30 was mostly abolished in the 3rd further above-mentioned example was described This invention is not only this but the drain current ID. And current IP which flows to the polish recon resistance R31 It may be made to control a ratio, and when ambient temperature T is other values, a temperature coefficient may be set as other values.

[0051] In the 3rd further above-mentioned example, although the case where the compound resistor 30 was therefore constituted in the parallel connection of the N-channel metal oxide semiconductor transistor NM1 of the polish recon resistance R31 and diode connection was described, therefore, this invention may be constituted in the parallel connection of P channel MOS transistor PM1 of not only this but the polish recon resistance R31, and diode connection (drawing 8).

[0052]

[Effect of the Invention] According to this invention, temperature dependence can form the resistor of high power in an integrated circuit easily much more small as mentioned above by carrying out series connection of a serial, or the active element and passive element which carry out parallel connection and have reverse temperature dependence combining the active element of a different kind which has reverse temperature dependence mutually, and having constituted the resistor.

[Translation done.]

* NOTICES *

JPO and INPI are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the connection diagram showing the 1st example of the resistor by this invention.

[Drawing 2] It is the connection diagram showing the 2nd example of the resistor by this invention.

[Drawing 3] It is the connection diagram showing the 3rd example of the resistor by this invention.

[Drawing 4] It is the connection diagram showing the resistor by other examples.

[Drawing 5] It is the connection diagram showing the resistor by other examples.

[Drawing 6] It is the connection diagram showing the resistor by other examples.

[Drawing 7] It is the connection diagram showing the resistor by other examples.

[Drawing 8] It is the connection diagram showing the resistor by other examples.

[Drawing 9] It is the connection diagram with which explanation of the conventional resistor is presented.

[Drawing 10] It is the connection diagram showing the compound resistor by the N channel thin film MOS transistor.

[Drawing 11] It is the connection diagram showing the compound resistor by the P channel thin film MOS transistor.

[Description of Notations]

Q11-Q71 [.. A thin film transistor, R1, R11, R21, R31 / .. Semiconductor layer resistance, R2 / .. Diffused resistor.] A bipolar transistor, NM1, NM2 .. An N-channel metal oxide

semiconductor transistor, PM1, PM2 .. A P channel MOS transistor, NTM1, PTM1

[Translation done.]

* NOTICES *

JPO and INPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

[Drawing 1]

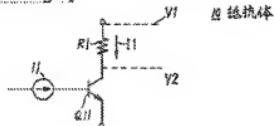
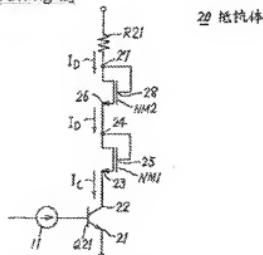


図1 第1の実施例による抵抗体の構成

[Drawing 2]



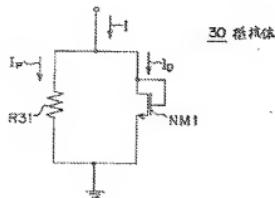


図3 基3の実施例による検査体の構成

[Drawing 4]

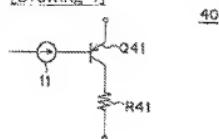


図4 他の実施例(1)

[Drawing 5]

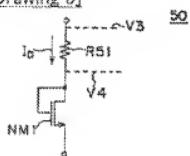


図5 他の実施例(2)

[Drawing 6]

60

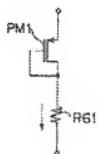


図6 他の実施例(3)

[Drawing 8]

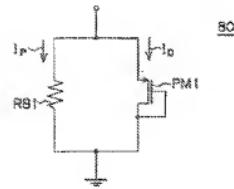


図8 他の実施例(5)

[Drawing 9]

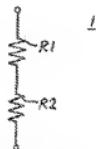


図9 従来の複合抵抗体(1)

[Drawing 10]

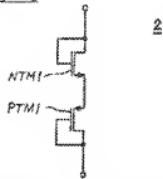


図10 薄膜MOSトランジスタによる複合抵抗体(2)

[Drawing 7]

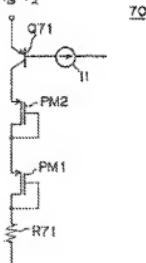


図7 他の実施例(4)

[Drawing 11]

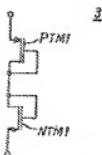


図11 薄膜MOSトランジスタによる複合抵抗体(3)

[Translation done.]

(19)日本特許序 (JP)

(12) 公開特許公報(A)

(1)特許出願公開番号

特開平5-210986

(43)公開日 平成5年(1993)8月20日

(51) Int-CL³ 識別記号 延内整理番号 P I 技術表示盤所
 G 1 1 C 11/413
 H 0 1 L 27/04 P 8427-4M
 // H 0 3 F 1/30 A 8836-5J
 6528-5L G 1 1 C 11/ 34 3 4 1 B

審査請求 来信者 指定項の数7(全8頁)

(21)出願番号 特願平4-185875
 (22)出願日 平成4年(1992)6月18日
 (31)優先権主張番号 特願平3-311740
 (32)優先日 平3(1991)10月29日
 (33)優先権主申請人 日本(JP)

(71)出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号

(72)発明者 向井 駿雄
東京都品川区北品川6丁目7番35号ソニー
株式会社内

(24)代理人 佐藤一郎 田辺 康義

(54)【発明の名称】 抵抗体

(57) 亂世約言

【目的】本発明は、抗体において、温度依存特性に優れ、かつ集積性に優れた抗体を実現する。

【構成】互いに逆の温度依存性を有する能動素子 Q 1 1 と受動素子 R 1 を直列接続して抵抗体を構成する。これにより温度依存性が小さくかつ高効率の抵抗体を一段と容易に集積回路内に形成することができる。

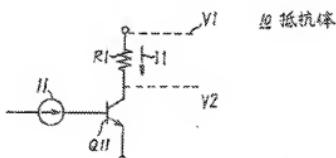


図 第1の実施例による抗体の構成

【特許請求の範囲】

【請求項1】ダイオード接続された能動素子と、上記能動素子の温度依存性に対して逆の温度依存性を有する受動素子とを直列接続してなることを特徴とする抵抗体。

【請求項2】ダイオード接続されると共に、正の温度係数を有するバイポーラトランジスタと、

半導体基板上に絶縁層を介して形成され、負の温度係数を有する半導体層からなる半導体層抵抗とを直列接続してなることを特徴とする抵抗体。

【請求項3】ダイオード接続されると共に、負の温度係数を有するMOSトランジスタと、

半導体基板の表面部に選択的に形成された拡散層からなり、正の温度係数を有する拡散抵抗とを直列接続することを特徴とする抵抗体。

【請求項4】第1の能動素子と、

上記第1の能動素子の温度依存性に対して逆の温度依存性を有すると共に、上記第1の能動素子と異種構造でなる第2の能動素子と、

受動素子とを直列接続してなることを特徴とする抵抗体。

【請求項5】正の温度係数を有するバイポーラトランジスタと、

ダイオード接続されると共に、負の温度係数を有するMOSトランジスタと、

所定の温度係数を有する受動素子とを直列接続してなることを特徴とする抵抗体。

【請求項6】ダイオード接続された能動素子と、上記能動素子の温度依存性に対して逆の温度依存性を有する受動素子とを並列接続してなることを特徴とする抵抗体。

【請求項7】ダイオード接続されると共に、負の温度係数を有するMOSトランジスタと、

半導体基板上に絶縁層を介して形成され、負の温度係数を有する半導体層からなる半導体層抵抗とを並列接続してなることを特徴とする抵抗体。

【発明の詳細な説明】

【0001】

【目次】以下の順序で本発明を説明する。

産業上の利用分野

従来の技術(図9～図11)

発明が解決しようとする課題

課題を解決するための手段(図1～図8)

作用

実施例(図1～図8)

(1) 第1の実施例(図1)

(2) 第2の実施例(図2)

(3) 第3の実施例(図3)

(4) 他の実施例(図4～図8)

発明の効果

【0002】

【産業上の利用分野】本発明は抵抗体に関し、特に集積回路内に形成され、高出力抵抗が要求される半導体抵抗に適用して好適なものである。

【0003】

【従来の技術】従来、LSI内に内蔵される電子回路の多くは抵抗体を必要とし、この抵抗体は、一般に拡散抵抗や半導体層抵抗によつて構成されるようになされている。ここで拡散抵抗は半導体基板の表面部に選択的に形成された拡散層からなり、半導体層抵抗は半導体基板上に絶縁層を介して形成されたポリシリコン等の半導体層によりなるようになされている。

【0004】このような抵抗体には拡散抵抗R1及び半導体層抵抗R2を組み合わせてなる複合抵抗があり、例えば図9に示すように、全体として温度特性を打ち消すように正の温度係数を有する拡散抵抗と負の温度係数を有する半導体層抵抗とを直列接続することにより形成されるようになされている。また図10及び図11に示すように、温度特性が互いに逆となる能動素子としてのnチャネル薄膜MOS(Metal Oxide Semiconductor)トランジスタNTM1及びPチャネル薄膜トランジスタPTM2を直列に接続することにより形成されている。

【0005】

【発明が解決しようとする課題】ところで例えばSRAM(Static Random Access Memory)の場合には、負荷用の抵抗体として数メガ[Ω]以上の高抵抗が要求されることがあり、他の集積回路の場合には数百K[Ω]以上の高抵抗が要求されることがある。またLSI内に形成される抵抗体の場合には、温度依存性ができるだけ小さくすることが必要とされ、また生産性を向上するために工程数の削減及び特性のばらつきが小さいことが非常に重要となる。

【0006】ところが拡散抵抗R1及び半導体層抵抗R2は、それぞれ通常大きな正の温度依存性及び負の温度依存性を有すると共に、占有面積が大きくなるという問題があつた。また拡散抵抗R1と半導体層抵抗R2を組み合わせて複合抵抗体(図9)を構成する場合には、温度依存性が互いに逆となる拡散抵抗R1とポリシリコン抵抗R2により複合抵抗を構成するため、温度依存性を小さくすることができるが、2種の抵抗体より構成されているために工程数が増加し、その分離性のばらつきが生じ易く制御が困難になるという問題があつた。さらに回路面積が大きくなるという問題もあつた。

【0007】さらにもnチャネル薄膜MOSトランジスタNTM1及びPチャネル薄膜MOSトランジスタPTM2を組み合わせてなる複合抵抗体(図9及び図10)の場合には、トランジスタ動作部がポリシリコンで焼成されるために、制御が難しいという問題があつた。

【0008】本発明は以上の点を考慮してなされたもので、温度依存特性に優れ、実質性に優れた抵抗体を提案

しようとするものである。

【0009】

【課題を解決するための手段】かかる課題を解決するため第1の発明においては、ダイオード接続された能動素子Q11と、能動素子の温度依存性に対して逆の温度依存性を有する受動素子R1とを直列接続するようす。

【0010】また第2の発明においては、ダイオード接続されると共に、正の温度係数を有するバイポーラトランジスタQ11と、半導体基板上に絶縁層を介して形成され、負の温度係数を有する半導体層からなる半導体層抵抗R1とを直列接続するようす。

【0011】さらに第3の発明においては、ダイオード接続されると共に、負の温度係数を有するMOS型トランジスタNM1と、半導体基板の表面部に選択的に形成された拡散層からなり、正の温度係数を有する拡散抵抗R51とを直列接続するようす。

【0012】さらに第4の発明においては、第1の能動素子Q21と、第1の能動素子Q21の温度依存性に対して逆の温度依存性を有すると共に、第1の能動素子Q21と異構造でなる第2の能動素子NM1、NM2と、受動素子R21とを直列接続するようす。

【0013】さらに第5の発明においては、正の温度係数を有するバイポーラトランジスタQ21と、ダイオード接続されると共に、負の温度係数を有するMOS型トランジスタNM1、NM2と、所定の温度係数を有する受動素子R21とを直列接続するようす。

【0014】さらに第6の発明においては、ダイオード接続された能動素子NM1と、能動素子NM1の温度依存性に対して逆の温度依存性を有する受動素子R31とを並列接続するようす。

【0015】さらに第7の発明においては、ダイオード接続されると共に、負の温度係数を有するMOSトランジスタNM1と、半導体基板上に絶縁層を介して形成され、負の温度係数を有する半導体層からなる半導体層抵抗R31とを並列接続するようす。

【0016】

【作用】第1～第3の発明においては、逆の温度依存性 $\Delta V = R_p \cdot I_p$

のようすとされる。

【0022】ここで電位差の温度依存性を求めるため、※

$$\frac{d(\Delta V)}{dT} = \frac{d(R_p \cdot I_p)}{dT}$$

$$= \frac{d R_p}{dT} \cdot I_p + R_p \cdot \frac{d I_p}{dT} \quad \dots \dots (2)$$

となる。このとき(2)式第1項で与えられる半導体層抵抗R1の微分係数 $d R_p / d T$ は負とすることがで

*を有する能動素子Q11、NM1と受動素子R1、R51を組み合わせて直列接続し、双方の温度依存性を打ち消すことにより、温度依存性が小さくかつ抵抗値を希望の値に設定できる抵抗体を集積回路内に一段と容易に形成することができる。

【0017】また第4及び第5の発明においては、互いに逆の温度特性を有する異種の第1及び第2の能動素子Q21及びNM1、NM2と受動素子R21とを組み合わせて直列接続し、双方の温度依存性を打ち消すことにより、温度依存性が小さくかつ抵抗値を希望の値に設定できる抵抗体を集積回路内に一段と容易に形成することができる。

【0018】さらに第6及び第7の発明においては、互いに逆の温度特性を有する能動素子NM1と受動素子R31とを並列接続し、双方の温度依存性を打ち消すことにより、温度依存性が小さくかつ抵抗値を希望の値に設定できる抵抗体を集積回路内に一段と容易に形成することができる。

【0019】

【実施例】以下図面について、本発明の一実施例を詳述する。

【0020】(1) 第1の実施例

図1において、10は集積回路内に形成された電子回路のうち抵抗体を示し、受動素子及び能動素子を組み合わせにより構成されている。すなわち抵抗体10は、ベースに定電流源11が接続され、定電流駆動されるバイポーラNPNトランジスタQ11のコレクタにポリシリコン抵抗でなる半導体層抵抗R11を接続することにより構成されるようになされている。これにより当該半導体層抵抗R11の両端に生じる電位差 ΔV の温度依存性がほぼ0または任意の値に設定し得るようになされている。

【0021】半導体層抵抗R11の入力側端位をV1とし、半導体層抵抗R11とトランジスタQ11との接続中点電位V2とすると、半導体層抵抗R11の両端に生じる電位差 $\Delta V (= V1 - V2)$ は、半導体層抵抗R11の抵抗値RP及びその電流値Ipの積として、次式

【数1】

$$\dots \dots (1)$$

40※ (1) 式を微分すると、次式

【数2】

き、またバイポーラNPNトランジスタのコレクタ電流の温度依存性により、(2)式第2項で与えられる半導

体層抵抗R10に流れる電流I₁₀の温度依存性dI₁₀/dTは正とすることができる。

【0023】これにより半導体層抵抗R11の抵抗値R₁₁及びその電流値I₁₁を所定の値に設定すれば、(2)式右辺を0とすことができ、半導体層抵抗R11の両端に生じる電位差△Vをほぼ0又は任意の値に設定することができる。

【0024】以上の構成によれば、受動素子である半導体層抵抗R11と集積回路内に形成された電子回路の複合抵抗体を示し、受動素子及び異種の能動素子の組み合わせにより構成されている。すなわち複合抵抗体20は、ベースに定電流源11が接続され定電流駆動されるバイポーラNPNトランジスタQ21のコレクタにそ $(dI_{10}/dT)/I_{10} = -1/T$

で与えられることにより、温度Tが300[K]の場合の温度依存性を求める-3300[PPM]となる。

【0030】この実施例の場合、2つのNチャネルMOSトランジスタNM1及びNM2が直列に接続されることにより、当該トランジスタNM1及びNM2の両端での温度依存性は2倍となり、約-6600[PPM]となる。一方バイポーラNPNトランジスタQ21のコレクタ電流の温度依存性は、ベース電流が定電流駆動されることにより、電流利得の温度依存性と等しくなり約+6000~7000[PPM]となる。

【0031】このようにNチャネルMOSトランジスタNM1、NM2及びバイポーラNPNトランジスタQ21間での温度依存性は、両トランジスタNM1、NM2及びQ21の温度依存性が互いに逆となることにより、温度依存性は相互に打ち消され温度依存性は小さくなる。

【0032】ここでバイポーラトランジスタQ21及び2個のMOSトランジスタNM1、NM2で構成される部分の温度依存性が合わさつて正の温度依存性を有する場合には、抵抗R21として当該温度依存性と同じ大きさを有し、負の温度依存性をもつボリシリコン抵抗を接続することにより複合抵抗体の温度依存性をなくすことができる。

【0033】またバイポーラトランジスタQ21及び2個のMOS型トランジスタNM1、NM2で構成される部分の温度依存性が合わさつて負の温度依存性を有する場合には、抵抗R21として当該温度依存性と同じ大きさを有し、負の温度依存性をもつボリシリコン抵抗を接続することにより複合抵抗体の温度依存性をなくすことができる。

*それぞれダイオード接続されたNチャネルMOSトランジスタNM1、NM2を2段介して、ボリシリコン抵抗でなる抵抗R21を接続することにより構成されている。

【0026】ここでバイポーラNPNトランジスタQ21のコレクタは、NチャネルMOSトランジスタNM1のソース23に接続されており、トランジスタNM1のゲート25とドレイン24は互いに接続されてダイオード接続を構成するようになされている。

【0027】トランジスタNM1のドレイン24は、NチャネルMOSトランジスタNM2のソース26に接続されるようになされており、トランジスタNM2のゲート28及びドレイン27はトランジスタNM1と同様ダイオード接続されるようになされている。

【0028】当該NチャネルMOSトランジスタNM2のドレイン27には、抵抗R21が接続されるようになされており、バイポーラトランジスタQ21及びUMOSトランジスタNM1、NM2に生じる出力電圧の温度依存性を打ち消すようになされている。

【0029】ここでゲート電圧が十分大きい範囲と領域におけるMOSトランジスタの電流の温度依存特性は、次式

【図3】

..... (3)

を有し、正の温度依存性をもつ複合抵抗を接続することにより複合抵抗体の温度依存性をなくすことができる。さらにこのときトランジスタQ21、NM1、NM2と抵抗R21の温度係数の組合せにより抵抗体20の出力抵抗の温度係数をトランジスタQ21、NM1、NM2の可変範囲内で任意の値に設定することができる。

【0034】以上の構成によれば、温度依存性が互いに逆となる能動素子Q21、NM1、NM2と抵抗R21とを組み合わせて複合抵抗体を構成することにより、出力抵抗として温度依存性が小さく、かつ高出力が要求される集積回路内の電子回路素子として任意の温度依存性を有する抵抗体を一段と容易に形成することができる。

【0035】(3) 第3の実施例
図3において、30は集積回路内に形成された電子回路のうち複合抵抗体を示し、温度依存特性の異なる受動素子及び能動素子の並列接続により構成されている。

【0036】すなわち複合抵抗体30は、抵抗について負の温度係数を有し、ボリシリコンでなる半導体層抵抗R31とドレイン電流について負の温度係数を有し、ダイオード接続されたNチャネルMOSトランジスタNM1との並列接続によつて構成されている。

【0037】このとき複合抵抗体30の抵抗値は、半導体層抵抗R31及びNチャネルMOSトランジスタNM1をそれぞれ並列接続するため各構成要素の抵抗値に対して小さい値をとることができる。

【0038】ここでボリシリコン抵抗R31の抵抗値R50には、温度Tが室温T₀のときのボリシリコン抵抗

を R_{p} とし、ポリシリコン抵抗の温度係数を $(-\alpha_{\text{p}})$ * 【数4】

とすると、次式

$$R_p = R_{p0} (1 - \alpha_p (T - T_0))^*$$
..... (4)

に示すように通常負の関係がある。

【0039】このときポリシリコン抵抗 R_{p} に流れる※ 【数5】

$$\frac{d I_p}{d T} = \frac{d}{d T} \left[\frac{V}{R_p} \right]$$

$$= - \frac{V}{R_{p0}^2} \cdot \frac{d R_p}{d T}$$

$$= - \frac{V}{R_{p0}^2} \cdot (R_{p0} (-\alpha_p))$$

$$= -I_p \cdot \frac{R_{p0} (-\alpha_p)}{R_p}$$

$$\frac{1}{I_p} \cdot \frac{d I_p}{d T} = \alpha_p$$
..... (5)

の関係が成立し、またNチャネルMOSトランジスタN ★ 【数6】

M1に流れる電流 I_{p} の温度依存特性には、次式 ★

$$\frac{1}{I_p} \cdot \frac{d I_p}{d T} = -\frac{1}{T}$$
..... (6)

の関係が成立する。

【0040】このため複合抵抗体30に流れる電流 I 【数7】

$(= I_p + I_s)$ の温度依存特性には (5) 式及び ★

$$\frac{d I}{d T} = \frac{d}{d T} (I_p + I_s)$$

$$= \frac{d I_p}{d T} + \frac{d I_s}{d T}$$

$$= \alpha_p \cdot I_p - \frac{1}{T} I_s$$
..... (7)

の関係が成立する。

【0041】ここで複合抵抗体30の両端に印加される電圧 V の値をドレン電流 I_s とポリシリコン抵抗 R_{p}

1に流れる電流 I_p とが等しい値 I_s になるように設定◆

$$\frac{d I}{d T} = I_s (\alpha_p - \frac{1}{T})$$
..... (8)

◆すると、(7)式で与えられる複合抵抗体30に流れる

電流 I の温度依存特性は、次式

【数8】

のように求めることができる。

【0042】このとき温度Tを300[K]とすると、 $1/T$ の値は3300[PPM]となるためポリシリコン抵抗R31の温度係数($-a_p$)の大きさ a_p を3300[PPM]*

$$\frac{dI}{dT} = 0$$

*とほぼ同じ大きさに設定すると、複合抵抗体30の温度依存特性は、次式
【数9】

に示すように互いに打ち消され、ほぼなくすことができる。

【0043】以上の場合によれば、温度依存特性が互いに逆となる受動素子R31とダイオード接続された能動素子NM1を並列接続して複合抵抗体30を構成することにより、合成抵抗体の温度依存特性が小さくすることができ、また合成抵抗体を構成要素である受動素子R31と能動素子NM1の各抵抗値に対して小さくすることができます。

【0044】(4)他の実施例

なお上述の第1の実施例においては、バイポーラPNPトランジスタQ11を半導体層抵抗R11に直列に接続する場合について述べたが、本発明はこれに代え、図4に示すように、バイポーララテラルPNPトランジスタ又はペーティカルPNPトランジスタQ41のコレクタを半導体層抵抗R41に直列に接続しても上述の実施例と同様の効果を得ることができる。

【0045】また上述の第1の実施例においては、バイポーラPNPトランジスタQ11を半導体層抵抗R11に直列に接続する場合について述べたが、本発明はこれに代え、図5に示すように、ゲート及びドレインを接続することによりダイオード接続され、負の温度係数を有するNチャネルMOSトランジスタNM1を半導体基板の表面部に形成された拡散層からなり正の温度係数を有する拡散抵抗R51にドレインで接続するようにも良い。

【0046】さらに上述の第1の実施例においては、バイポーラPNPトランジスタQ11を半導体層抵抗R11に直列に接続する場合について述べたが、本発明はこれに代え、図6に示すように、ゲート及びドレインとを接続することによりダイオード接続され、負の温度係数を有するNチャネルMOSトランジスタPM1を半導体基板の表面部に形成された拡散層からなり正の温度係数を有する拡散抵抗Q61にドレインで接続するようにも良い。

【0047】さらに上述の第2の実施例においては、複合抵抗体としてバイポーラPNPトランジスタQ21に2個のNチャネルMOSトランジスタNM1、NM2及び抵抗体R21を接続する場合について述べたが、本発明はこれに限らず、ラテラル又はペーティカル型のトランジスタQ71に2個のPチャネルMOSトランジスタPM1、PM2及び抵抗体R71を接続するようにしても上述と同様の効果を得ることができる。

【0048】すなわち図7に示すように、ゲートとドレン部を接続してダイオードを形成するPチャネルMOSSトランジスタPM1、PM2を2段接続し、当該PチャネルMOSトランジスタPM1のドレインに抵抗体R71を接続すると共に、ベースに定電流源I1が接続され定電流駆動されるバイポーラPNPトランジスタQ71のコレクタをPチャネルMOSトランジスタPM2のソースに接続することにより、出力抵抗の温度依存性を任意の値に設定できる複合抵抗体を構成することができる。

【0049】さらに上述の第1及び第2の実施例においては、バイポーラトランジスタにMOSトランジスタPM1、PM2を2つ接続する場合について述べたが、本発明はこれに限らず、両トランジスタを種々の組み合わせで接続しても良い。

【0050】さらに上述の第3の実施例においては、ポリシリコン抵抗R31の温度係数($-a_p$)をほぼ3300[PPM]に設定し、複合抵抗体30の温度依存特性をほぼなくす場合について述べたが、本発明はこれに限らず、ドレン電流I1及びポリシリコン抵抗R31に流れれる電流I1'の比を制御するようとしても良く、また周辺温度Tが他の様の場合には温度係数を他の様に設定しても良い。

【0051】さらに上述の第3の実施例においては、複合抵抗体30をポリシリコン抵抗R31とダイオード接続のNチャネルMOSトランジスタNM1の並列接続によって構成する場合について述べたが、本発明はこれに限らず、ポリシリコン抵抗R31とダイオード接続のPチャネルMOSトランジスタPM1の並列接続によって構成しても良い(図8)。

【0052】

【発明の効果】上述の上に本発明によれば、互いに逆の温度依存性を有する異種の能動素子を組み合わせて並列又は並列接続し、また逆の温度依存性を有する能動素子と受動素子を直列接続して抵抗体を構成するようにしたことにより、温度依存性が小さかつ高 output の抵抗体を一段と容易に集積回路内に形成することができる。

【図面の簡単な説明】

【図1】本発明による抵抗体の第1の実施例を示す接続図である。

【図2】本発明による抵抗体の第2の実施例を示す接続図である。

【図3】本発明による抵抗体の第3の実施例を示す接続

図である。

- 【図4】他の実施例による抵抗体を示す接続図である。
- 【図5】他の実施例による抵抗体を示す接続図である。
- 【図6】他の実施例による抵抗体を示す接続図である。
- 【図7】他の実施例による抵抗体を示す接続図である。
- 【図8】他の実施例による抵抗体を示す接続図である。
- 【図9】従来の抵抗体の説明に供する接続図である。
- 【図10】Nチャネル溝底MOSトランジスタによる複合抵抗体を示す接続図である。

* 【図11】Pチャネル溝底MOSトランジスタによる複合抵抗体を示す接続図である。

【符号の説明】

Q1 1～Q7 1……バイポーラトランジスタ、NM1、
NM2……NチャネルMOSトランジスタ、PM1、P
M2……PチャネルMOSトランジスタ、NTM1、P
TM1……薄膜トランジスタ、R1、R11、R21、
R3 1……半導体網抵抗、R 2……拡散抵抗。

*

【図1】

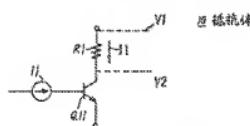


図1 第1の実施例による抵抗体の構成

【図2】

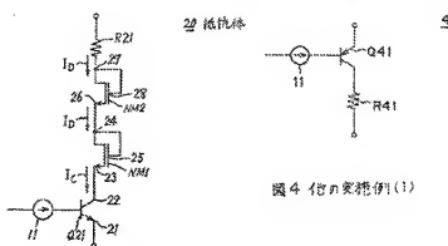


図2 第2の実施例による抵抗体の構成

【図4】

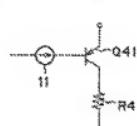


図4 他の実施例(1)

【図3】

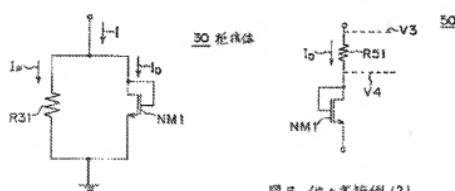


図3 第3の実施例による抵抗体の構成

【図5】

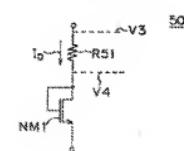


図5 他の実施例(2)

【図6】

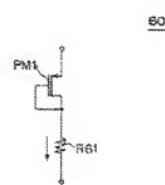


図6 他の実施例(3)

【図8】

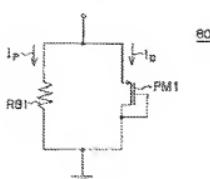


図8 他の実施例(5)

【図9】

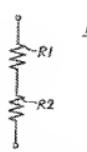


図9 従来の複合抵抗体(1)

【図10】

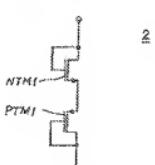


図10 薄膜MOSトランジスタによる複合抵抗体(2)

【図7】

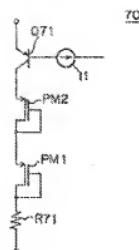


図7 他の実施例(4)

【図11】

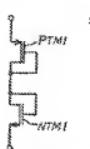


図11 薄膜MOSトランジスタによる複合抵抗体(3)